

**<The English Translation of the Korean Patent Application  
Publication No. 2001-5268>**

**1. The summary of the invention**

The subject invention relates to the cell leakage current monitoring circuit of the semiconductor memory element. It is effective in decreasing the refresh current and preventing the destruction of the cell data by monitoring cell leakage current applying the voltage of cell plate to the monitoring cell plate directly to make the refresh operate in accordance with the variation of the cell leakage current caused by change of temperature, voltage or process etc.

The cell leakage current monitoring circuit of the subject invention for operating above comprises:

dummy cell portion wherein many memory cells composed of at least one NMOS transistor and one capacitor are connected to the dummy bit line and the dummy word line; the amplifier that compares and amplifies the electrical potential signal of the cell plate node of the said dummy leakage cell portion with the cell plate voltage; the first and second precharge transistors and the coordinate transistor for applying the cell plate voltage with the said cell plate node and the output node of the amplifier; the leakage current monitoring device composed of switching portion to short circuit optionally the output node of the said amplifier and cell plate node; the comparative device which produces the refresh signal by comparing and amplifying the output signal of the said cell leakage current monitoring device and the reference voltage.

**2. Claim 1**

Regarding the cell leakage current monitoring circuit of the semiconductor memory element, it comprises:

dummy cell portion wherein many memory cells composed of at least one NMOS transistor and one capacitor are connected to the dummy bit line and the dummy word line; the amplifier that compares and amplifies the electrical potential signal of the cell plate node of the said dummy leakage cell portion with the cell plate voltage; the first and second precharge transistors and the coordinate transistor for applying the cell plate voltage with the said cell plate node and the output node of the amplifier; the leakage current monitoring device composed of switching portion to short circuit optionally the output node of the said amplifier and cell plate node; the comparative device which produces the refresh signal by comparing and amplifying the output signal of the said cell leakage current monitoring device and the reference voltage.

**BEST AVAILABLE COPY**

특2001-0005268

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)(51) Int. Cl.<sup>8</sup>  
G11C 29/00(11) 공개번호 특2001-0005268  
(43) 공개일자 2001년06월15일

(21) 출원번호	10-1999-0026074
(22) 출원일자	1999년06월30일
(71) 발명인	현대전자산업 주식회사 김영환
(72) 발명자	경기도 미천시 부말읍 아미리 산 136-1 조호섭 서울특별시서초구서초2동1360-16로얄주택 A동201호 위재광 서울특별시강진구강장동위커빌알신아파트2동602호 미창현 경기도미천시봉포동대우2차아파트205-303 설영호 경기도미천시대원면사동리441-1현대전자아파트103-206 오전근 경기도미천시부발읍응암리970아파트103-1503 김필중 광주광역시서구금호동742-2시영일반아파트503-804 이흥동, 미창훈
(74) 대리인	

실사청구 : 없음(54) 발 누설전류 감시 회로요약

본 발명은 반도체 메모리 소자의 셀 누설전류 감시 회로에 관한 것으로, 감시 셀 플레이트에 직접적으로 셀 플레이트의 전압을 인가하여 셀 누설 전류를 모니터링함으로써 온도, 전압 또는 프로세스 변화등으로 인한 셀 누설 전류 변화량에 맞추어 리프래시를 수행하도록 하여 리프래쉬 전류를 줄이고 셀 데이터의 파괴를 방지시킬 수 있는 효과가 있다.

이를 구현하기 위한 본 발명의 셀 누설전류 감시 회로는, 적어도, 1개의 NMOS 트랜지스터와 1개의 커패시터로 구성된 다수개의 메모리 셀이 데이터 비트라인과 데이터 워드라인에 연결된 데이터 셀부와, 상기 데이터 셀 감시 셀부의 셀 플레이트 노드의 전위 신호와 셀 플레이트 전압을 비교·증폭하는 증폭단과, 상기 셀 플레이트 노드와 증폭단의 출력 노드로 셀 플레이트 전압을 인가하기 위한 제 1 및 제 2 포리치지 트랜지스터 및 증류 트랜지스터와, 상기 증폭단의 출력 노드와 셀 플레이트 노드를 선택적으로 단락시키기 위한 스위칭부로 구성된 셀 누설전류 감시수단과, 상기 셀 누설전류 감시수단의 출력신호와 기준전압을 비교·증폭하여 리프래쉬 신호를 발생시키는 비교 수단을 구비하여 이루어진 것을 특징으로 한다.

도면도 1제1관

데이터 셀, 데이터 셀 누설전류 감시 회로, 연산 증폭기, 셀 플레이트

본 실시도면의 2차원 설명

도 1은 종래의 셀 누설전류 감시 회로도  
도 2는 종래의 셀 누설전류 감시 회로의 시뮬레이션 결과도로서,  
도 2a는 적분 회로부를 초기화 할 때의 파형도이고,  
도 2b는 셀 누설 전류를 모니터링 할 때의 파형도이다.

도 3은 종래의 셀 누설전류 감시 회로의 클로킹 노드(N1)의 전압에 따른 시뮬레이션 결과도로서,  
 도 3a는 클로킹 노드(N1)의 초기 전압이 0V 일때의 파형도이고,  
 도 3b는 클로킹 노드(N1)의 초기 전압이 0V일때 모니터의 파형도이고,  
 도 3c는 클로킹 노드(N1)의 초기 전압이 2.5V 일때의 파형도이고,  
 도 3d는 클로킹 노드(N1)의 초기 전압이 2.5V일때 모니터의 파형도이다.

도 4는 본 발명에 의한 셀 누설전류 감시 회로의 회로도

도 5는 도 4에 도시한 적분 회로부의 제 2 실시예

도 6은 도 4에 도시한 적분 회로부의 제 3 실시예

도 7은 도 4에 도시한 적분 회로부의 제 4 실시예

도 8은 도 4에 도시한 적분 회로부의 제 5 실시예

도 9는 도 4에 도시한 적분 회로부의 제 6 실시예

도 10은 셀 클레이트 전압을 이용한 셀 누설전류 감시 회로의 시뮬레이션 결과도로서,

도 10a는 초기화 과정의 파형도이고,

도 10b는 모니터 과정의 파형도이다.

• 도면의 주요부분에 대한 부호의 설명 •

10 : 데이터 셀부

12 : 메모리 셀

20, 120 : 데이터 셀 누설전류 감시부

22 : 연산 증폭기

30 : 비교부

#### 본 발명의 상세한 설명

##### 본 발명의 목적

##### 본 발명에 따른 기술분야 및 그 분야의 종래기술

본 발명은 반도체 메모리 소자의 셀 누설전류 감시 회로(Cell Leakage Current Monitor Circuit)에 관한 것으로, 특히 감시 셀(cell) 클레이트(plate)에 직접적으로 셀 클레이트의 전압을 인가하여 셀 누설 전류를 모니터링함으로써 온도, 전압 또는 프로세스(Process) 변화등으로 인한 셀 누설 전류 변화등에 맞춰 리프레쉬(Refresh)를 수행하도록 하여 리프레쉬 전류를 줄이고 셀 데이터의 파손을 방지시킨 셀 누설전류 감시 회로에 관한 것이다.

도 1은 종래의 셀 누설전류 감시 회로의 구성도로서, 1개의 NMOS 트랜지스터와 1개의 커패시터로 구성된 다수개의 메모리 셀이 데이터 비트라인(DBL)과 데이터 워드라인(DWL)에 연결된 데이터 셀부(10)와, 상기 셀에서 누설된 전류를 감출해 내는 데이터 셀 누설전류 감시부(20)와, 상기 데이터 셀 누설전류 감시부(20)의 출력 신호와 기준전압을 비교·증폭하여 리프레쉬 신호를 발생시키는 비교부(30)로 구성된다. 상기 데이터 셀 누설전류 감시부(20)는 셀 클레이트 노드(cell plate)의 전위 신호와 셀 클레이트 전압(Vcp)을 비교·증폭하는 증폭기(OP-AMP)(22)와, 상기 cell plate 노드와 상기 OP-AMP(22)의 출력 단자(Vi) 사이에 접속된 커패시터(Ci)와, 상기 cellplate 노드와 상기 OP-AMP(22)의 출력 단자(Vi) 사이에 접속되고 게이트로 제어 신호(ict1)가 입력되는 NMOS 트랜지스터(M1)와, 상기 cellplate 노드와 상기 OP-AMP(22)의 출력 단자(Vi) 사이에 직접 접속된 NMOS 트랜지스터(M2)와 커패시터(Ccp)로 구성된다. 여기서, 상기 NMOS 트랜지스터(M2)는 제어 신호(aptct1)에 의해 스위칭된다.

상기 구성에 의한 회로의 초기화 과정은 다음과 같다.

먼저, NMOS 트랜지스터(M1)의 게이트로 입력되는 제어 신호(ict1)가 액티브(하이)되어 모니터링 셀 클레이트(cellplate)에 셀 클레이트 전압(Vcp)이 인가(Vcp=Vcp)된 상태에서 데이터 워드라인(DWL), 데이터 비트라인(DBL, DBL1)을 액티브하여 셀의 데이터를 리프레쉬한다. 셀에 데이터를 리프레쉬한 다음 DBL, DBL0, DBL1을 비활성 상태), 상기 제어 신호(ict1)를 비활성(로우) 상태로 하면 이때부터 모니터 셀의 누설 전류를 모니터링하게 된다.

도 2는 종래의 셀 누설전류 감시 회로의 시뮬레이션 결과도로서, 도 2a는 적분 회로부를 초기화 할 때의 파형도이고, 도 2b는 셀 누설 전류를 모니터링 할 때의 파형도를 나타낸 것이다.

도 3은 종래의 셀 누설전류 감시 회로의 클로킹 노드(N1)의 전압에 따른 시뮬레이션 결과도로서, 도 3a는 클로킹 노드(N1)의 초기 전압이 0V 일때의 파형도이고, 도 3b는 클로킹 노드(N1)의 초기 전압이 0V일때 모니터의 파형도이고, 도 3c는 클로킹 노드(N1)의 초기 전압이 2.5V 일때의 파형도이고, 도 3d는 클로킹 노드(N1)의 초기 전압이 2.5V일때 모니터의 파형도이다.

##### 본 발명에 이루고자 하는 기술적 과제

그러나, 상기 구성을 갖는 종래의 셀 누설 모니터 회로에 있어서는, 셀 누설 모니터 회로를 초기화를 수행할 때, 모니터링되는 셀의 셀 클레이트에 셀 클레이트 전압(Vcp)이 연산 증폭기(OP-AMP)를 통해 인가되므로 모니터 셀에 데이터가 리프레쉬될 때 모니터링 셀 클레이트의 전압이 흔들리게 된다. 또한, 오스 코

지스터(Q1)의 문턱전압( $V_t$ )의 저하로 모니터 셀 플레이트 전압( $V_{cp}$ )과 OP-AMP의 출력전압( $V_i$ )이 차이가 나게 되어 모니터 셀 플레이트에 정확한  $V_{cp}$ 전압을 인가할 수가 없다. 그리고 OP-AMP를 통해서  $V_{cp}$  전압이 인가되므로  $I_{ct1}$ 을 액티브되는 시간을 길게 가져가거나 오프 트랜지스터(Q1)의 크기를 크게 해야한다.  $I_{ct1}$  액티브 펄스 폭을 길게 가져가거나 오프 트랜지스터(Q1)의 크기가 커지면 레이아웃 면적이 증가하는 문제점이 있었다. (도 2 참조)

또한 음성을 사용하지 않을 경우, 즉 opct1이 비활성(로우)인 경우 노드(N1)이 클로팅 상태가 된다. 커패시터의 한쪽 노드가 OP-AMP의 출력 노드와 연결되어져 있고 또 다른 노드가 노드(N1)에 연결되어 클로팅 상태이다. 셀 주입을 모니터링하는 동안에 노드(N1)의 초기 전압에 따라 OP-AMP의 출력 레벨이 변화하여 신호 리프레쉬의 액티브되는 시간이 다른 문제점이 있었다. (도 3 참조)

따라서, 본 발명은 상기 문제점을 해결하기 위하여 이루어진 것으로, 본 발명의 목적은 모니터 셀 플레이트에 직접적으로 셀 플레이트의 전압을 인가하여 셀 누설 전류를 모니터링함으로써 온도, 전압 또는 프로세스(Process) 변화등으로 인한 셀 누설 전류 변화량에 맞춰 리프레쉬(Refresh)를 수행하도록 하여 리프레쉬 전류를 줄이고 셀 데이터의 파괴를 방지시킨 셀 누설 모니터 회로를 제공하는데 있다.

#### 발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명의 셀 누설 모니터 회로는,

반도체 메모리 소자의 셀 누설전류 감시 회로에 있어서,

적어도, 1개의 NMOS 트랜지스터와 1개의 커패시터로 구성된 다수개의 메모리 셀이 더미 비트라인과 더미 워드라인에 연결된 더미 셀부안,

상기 더미 누설 감시 셀부와 셀 플레이트 노드의 전위 신호와 셀 플레이트 전압을 비교·검측하는 검측단과, 상기 셀 플레이트 노드와 검측단의 출력 노드로 셀 플레이트 전압을 인가하기 위한 제 1 및 제 2 프리차지 트랜지스터 및 등위 트랜지스터와, 상기 검측단의 출력 노드와 셀 플레이트 노드를 선택적으로 단락시키기 위한 스위칭부로 구성된 셀 누설전류 감시수단과,

상기 셀 누설전류 감시수단의 출력신호와 기준전압을 비교·검측하여 리프레쉬 신호를 발생시키는 비교수단을 구비하여 이루어진 것을 특징으로 한다.

상기 구성에 대하여, 상기 제 1 및 제 2 프리차지 트랜지스터와 등위 트랜지스터는 NMOS이거나 PMOS, 또는 전압 게이트인 것이 바람직하다.

그리고, 상기 스위칭부는 1개의 제어 신호에 의해 동작되는 2개의 NMOS 사이에 커패시터가 구성되거나 또는 1개의 제어 신호에 의해 동작되는 2개의 PMOS 사이에 커패시터가 구성된 것이 바람직하다.

또한, 상기 스위칭부는 동일한 제어 신호에 의해 동작되는 2개의 전압 게이트 사이에 1개의 커패시터가 구성되거나, 동일한 제어 신호에 의해 동작되는 2개의 전압 게이트 사이에 1개의 커패시터가 구성된 제 1 및 제 2 스위칭부가 병렬 연결되어 구성할 수 있다.

이하, 본 발명의 일 실시예에 관하여 첨부도면을 참조하면서 상세히 설명한다.

또, 실시예를 설명하기 위한 모든 도면에서 동일한 기능을 갖는 것은 동일한 부호를 사용하고 그 반복적인 설명은 생략한다.

도 4는 본 발명에 의한 셀 누설전류 감시 회로의 회로도로서, 1개의 NMOS 트랜지스터와 1개의 커패시터로 구성된 다수개의 메모리 셀이 더미 비트라인(DBL)과 더미 워드라인(DWL)에 연결된 더미 셀부(10)와, 상기 더미 셀부(10)의 셀 플레이트 노드(cell plate)의 전위 신호와 셀 플레이트 전압( $V_{cp}$ )을 비교·검측하는 검측기(OP-AMP)(22)와, 상기 더미 누설전류 감시 셀부(10)의 셀 플레이트 노드로 셀 플레이트 전압( $V_{cp}$ )을 인가하기 위한 프리차지 트랜지스터(Q11 및 Q12) 및 등위 트랜지스터(Q1)와, 상기 OP-AMP(22)의 출력 노드( $V_i$ )와 셀 플레이트 노드를 선택적으로 단락시키기 위한 스위칭 트랜지스터(Q2 및 Q21)와, 상기 스위칭 트랜지스터(Q2 및 Q21) 사이에 접속된 커패시터(Cap)로 구성된 더미 셀 누설전류 감시부(120)로 구성된다. 그리고, 상기 더미 셀 누설전류 감시부(120)의 출력신호와 기준전압을 비교·검측하여 리프레쉬 신호를 발생시키는 비교부(30)로 구성된다.

상기 더미 셀부(10)는 1개의 트랜지스터와 1개의 커패시터로 구성된 메모리 셀들의 집합이다. 실제 메모리 셀과 더미 누설 감시 셀을 분리한다. 실제 메모리 셀들의 셀 플레이트는 공통으로 연결되어  $V_{cp}$ (약 1/2  $V_{cc}$ )전압이 인가되어진다.

본 발명에 사용되는 누설 감시 셀들의 셀 플레이트는 실제 메모리 셀의 셀 플레이트와 분리되어 더미 셀 누설전류 감시부(120)의 OP-AMP(22)의 네가티브 단자에 연결되어진다.

더미 워드라인(DWL)은 더미 누설 모니터 셀의 셀 트랜지스터를 제어하는 신호로 공통으로 묶여 있다. 더미 비트 라인은 셀 데이터 패턴에 변화를 주기 위해서 2개로 나뉘어 있다. 예를 들면, DBL0="하이", DBL1="로우"를 입력하고 DBL 신호를 액티브하면 더미 누설 모니터 셀에 1010...의 데이터 패턴이 저장되고 DBL0="하이", DBL1="하이"이면 1111...의 데이터 패턴이 저장된다. 더미 워드 라인과 더미 비트 라인을 오프(off)시키면 셀에서 누설 전류가 흐르게 된다. 이때 셀의 누설 성분은 정합 누설 전류, 부문턱 누설 전류, ONO 누설 전류, 그리고 셀간의 공간 누설 등의 합으로 이루어진다. 즉,

<수학적 1>

$$I_{\text{total}} = I_{\text{leakage}} + I_{\text{subthreshold}} + I_{\text{ONO}} + I_{\text{space}}$$

이러한 누설 전류는 온도, 전압 또는 프로세스 변화등으로 변하게 된다. 특히 셀간의 누설 전류는 셀의 데이터 패턴에 따라 크게 변화한다.

상기 데이터 셀 누설전류 감시부(120)는 OP AMP(22), 적분기 캐패시터(C1), 적분기 스위치 디바이스(Q1), 프리차지 디바이스(Q11, Q12) 그리고 옵션 부분(02, 021, 02opt)으로 구성된다.

먼저, 옵션 부분을 직분기 캐패시터를 늘리기 위해서 추가된다. 즉 optct1이 액티브되면 옵션 스위치 디바이스 02, 021이 온(on)되어 02와 02opt가 병렬구조로 되어 적분기 캐패시터는

〈수학적 2〉

$$C_{eq} = C_1 + C_{opt}$$

가 된다. 또한 optct1이 비활성 상태가 되면 옵션 스위치 디바이스 01, 021이 오프되어 적분기 캐패시터는

〈수학적 3〉

$$C_{eq} = C_1$$

이 된다.

적분기 제어신호(1ct1)가 액티브되면 적분기 스위치 디바이스(01)와 프리차지 디바이스(Q11, Q12)가 액티브되어 누설 모니터 셀의 셀 플레이트와 OP AMP의 출력 노드는 Vcp(=1/2 Vcc)로 프리차지(precharge), 이퀄라이즈된다. 따라서 데이터 누설 모니터 셀의 셀 플레이트에 Vcp가 인가되게 되어 노일 메모리 셀과 같이 셀 플레이트에 동일한 전압이 걸린다. 이때 데이터 누설 모니터 셀에 데이터를 라이트(write) 한다. 그 다음에 적분기 제어(1ct1)신호가 비활성되면 적분기 스위치 디바이스(01)와 프리차지 디바이스(Q11, Q12)는 디스에이블된다. 이때 데이터 누설 모니터 셀과 OP AMP의 네가티브 단자 전압은 비증감 그라운드 노드로 OP AMP의 포지티브 단자와 동일한 전압이 걸리게 된다. 이때 데이터 누설 모니터 셀로부터 누설 전류가 빠져 나가면 그 양만큼의 전류가 적분기 캐패시터의 전위 전류가 흐르게 된다. 이 전위 전류에 의해 적분기 출력 전압은 상승하게 된다. 즉,

〈수학적 4〉

$$V_o = \frac{1}{C_{eq}} \int I_{leak} dt$$

여기서, 적분기 출력 전압의 상승 슬로프는  $1/C_{eq}$ 에 비례하게 된다.

비교부(30)는 데이터 셀 누설전류 감시부(120)의 출력 전압(V1)과 기준 전압(Vref)을 비교하게 된다. 초기에 기준전압(Vref)이 적분기 출력전압(V1)보다 커서 비교기는 로우를 출력하게 된다. 점차로 적분기 출력 전압(V1)이 상승하여 기준전압(Vref)보다 높게 되면 비교기는 하이로 출력하게 된다. 리프레시 요구 시간은 적분기 출력전압(V1)이 기준전압(Vref)보다 높을 때 결정된다. 즉,

〈수학적 5〉

$$t_{refreq} = \frac{1}{C_{eq}} \int I_{leak} dt$$

온도, 전압 또는 프로세스 변화로 인하여 셀 누설 전류( $I_{leak}$ )가 변화하면 리프레시 요구 시간( $t_{refreq}$ )이 변화하게 된다.

따라서 전체적인 동작을 간략하게 설명하면 다음과 같다.

먼저, 데이터 셀 누설전류 감시부(120)를 초기화하고 데이터 누설 감시 셀에 데이터를 라이트한다. 즉, 1ct1 신호를 액티브시키고 02L0, 02L1에 데이터를 입력하고 02L을 액티브한다.

그 후, 02L, 02L0, 02L1, 1ct1을 디스에이블하고, 셀의 누설 전류에 의해 적분기 캐패시터에 전위 전류가 흐른다. 이때, 온도, 전압, 프로세스 변화에 의해 셀의 누설 전류는 변화하게 된다.

전위 전류에 의해 적분기의 출력 전압이 상승한다. 이때 출력 전압 상승의 기울기는 적분기 캐패시터( $C_{eq}$ )의 역수에 비례한다.

비교부(30)는 기준전압과 데이터 셀 누설전류 감시부(120)의 출력 전압을 비교한다. 그래서 상기 데이터 셀 누설전류 감시부(120)의 출력 전압이 기준전압보다 높으면 비교기 출력의 요구 신호를 하이로 출력한다.

도 5는 도 4에 도시한 데이터 셀 누설전류 감시부(120)의 제 2 실시예로서, NMOS 트랜지스터로 구성된 상기 프리차지 트랜지스터(Q11, Q12)와 등위 트랜지스터(01)를 PMOS로 구현한 것이다.

그리고, 도 6은 도 4에 도시한 데이터 셀 누설전류 감시부(120)의 제 3 실시예로서, 상기 NMOS 트랜지스터로 구성된 상기 프리차지 트랜지스터(Q11, Q12)와 등위 트랜지스터(01)를 전달 게이트(61, 62, 63)로 구현한 것이다.

그리고, 도 7을 도 4에 도시한 데이터 셀 누설전류 감시부(120)의 제 4 실시예로서, OP AMP의 출력 노드와 셀 플레이트 노드를 선택적으로 단락시키기 위한 스위칭부(02, 021)를 1개의 제어 신호에 의해 동작되는 PMOS 트랜지스터로 구현하였다. 이때, 2개의 PMOS 트랜지스터 사이에는 캐패시터가 구성된다.

도 8은 도 4에 도시한 데이터 셀 누설전류 감시부(120)의 제 4 실시예로서, OP AMP와 출력 노드와 셀 플레이트 노드를 선택적으로 단락시키기 위한 스위칭부(02, 021)를 동일한 제어 신호에 의해 동작되는 2개의 전달 게이트로 구현하고, 이들 2개의 전달 게이트 사이에 1개의 캐패시터를 구성한 것이다.

도 9는 도 4에 도시한 더미 셀 누설전류 감시부(120)의 제 4 실시예로서, OP 셀의 출력 노드와 셀 플레이트 노드를 선택적으로 단락시키기 위한 스위칭부(02, 021)를 동일한 제어 신호에 의해 동작되는 2개의 전달 게이트 사이에 1개의 커패시터가 구성된 제 1 및 제 2 스위칭부가 병렬로 연결 구성하였다.

도 10은 셀 플레이트 전압을 이용한 셀 누설전류 감시 회로의 시뮬레이션 결과도로서, 도 10a는 초기화 과정의 파형도이고, 도 10b는 모니터 과정의 파형도이다.

#### 발명의 효과

이상에서 설명한 바와 같이, 본 발명의 셀 누설 모니터 회로에 의하면, 온도, 전압 또는 프로세스 변화 등으로 셀의 데이터 유지 시간이 감소(즉 셀의 누설 전류가 증가)하면 이러한 셀 누설 전류를 모니터링하여 리프레시 요구가 발생하여 리프레시가 이루어지므로 셀 데이터의 파괴를 막을 수 있다. 또한, 셀 데이터 유지 시간이 증가(즉 셀의 누설 전류가 감소)하면 리프레시 요구 시간을 늘릴 수 있으므로 리프레시 하는 데 소모되는 전력을 감소시킬 수 있다.

마물러 본 발명의 바람직한 실시예를 예시의 목적을 위해 개시된 것이며, 당업자라면 본 발명의 사상과 범위 안에서 다양한 수정, 변경, 부가등이 가능할 것이며, 이러한 수정 변경등은 이하의 특허청구범위에 속하는 것으로 보아야 할 것이다.

#### (5) 청구의 범위

##### 청구항 1

반도체 메모리 소자의 셀 누설전류 감시 회로에 있어서,

적어도, 1개의 NMOS 트랜지스터와 1개의 커패시터로 구성된 다수개의 메모리 셀이 더미 비터라인과 더미 워드라인에 연결된 더미 셀부와,

상기 더미 누설 감시 셀부의 셀 플레이트 노드의 전위 신호와 셀 플레이트 전압을 비교·증폭하는 증폭단과, 상기 셀 플레이트 노드와 증폭단의 출력 노드로 셀 플레이트 전압을 인가하기 위한 제 1 및 제 2 프리차지 트랜지스터 및 동위 트랜지스터와, 상기 증폭단의 출력 노드와 셀 플레이트 노드를 선택적으로 단락시키기 위한 스위칭부로 구성된 셀 누설전류 감시수단과,

상기 셀 누설전류 감시수단의 출력신호와 기준전압을 비교·증폭하여 리프레시 신호를 발생시키는 비교수단을 구비하여; 이루어진 것을 특징으로 하는 셀 누설전류 감시 회로.

##### 청구항 2

제 1항에 있어서,

상기 제 1 및 제 2 프리차지 트랜지스터와 동위 트랜지스터는 NMOS인 것을 특징으로 하는 셀 누설전류 감시 회로.

##### 청구항 3

제 1항에 있어서,

상기 제 1 및 제 2 프리차지 트랜지스터와 동위 트랜지스터는 PMOS인 것을 특징으로 하는 셀 누설전류 감시 회로.

##### 청구항 4

제 1항에 있어서,

상기 제 1 및 제 2 프리차지 트랜지스터와 동위 트랜지스터는 전달 게이트인 것을 특징으로 하는 셀 누설전류 감시 회로.

##### 청구항 5

제 1항에 있어서,

상기 스위칭부는, 1개의 제어 신호에 의해 동작되는 2개의 NMOS 사이에 커패시터가 구성된 것을 특징으로 하는 셀 누설전류 감시 회로.

##### 청구항 6

제 1항에 있어서,

상기 스위칭부는, 1개의 제어 신호에 의해 동작되는 2개의 PMOS 사이에 커패시터가 구성된 것을 특징으로 하는 셀 누설전류 감시 회로.

##### 청구항 7

제 1항에 있어서,

상기 스위칭부는, 동일한 제어 신호에 의해 동작되는 2개의 전달 게이트 사이에 1개의 커패시터가 구성된 것을 특징으로 하는 셀 누설전류 감시 회로.

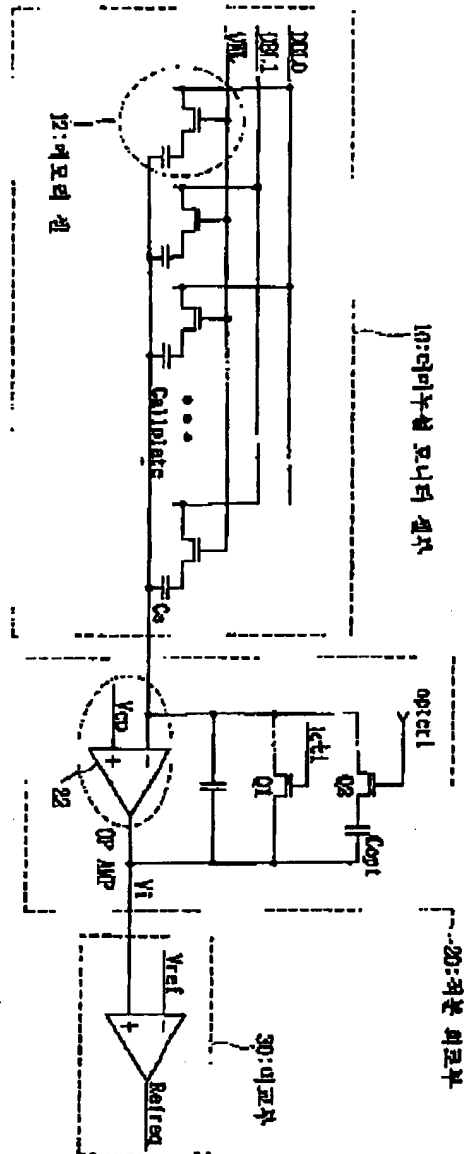
##### 청구항 8

제 1항에 있어서,

상기 스위칭부는, 동일한 제어 신호에 의해 동작되는 2개의 전달 게이트 사이에 1개의 커패시터가 구성된 제 1 및 제 2 스위칭부가 병렬 연결된 것을 특징으로 하는 셀 누설전류 감시 회로,

도 8

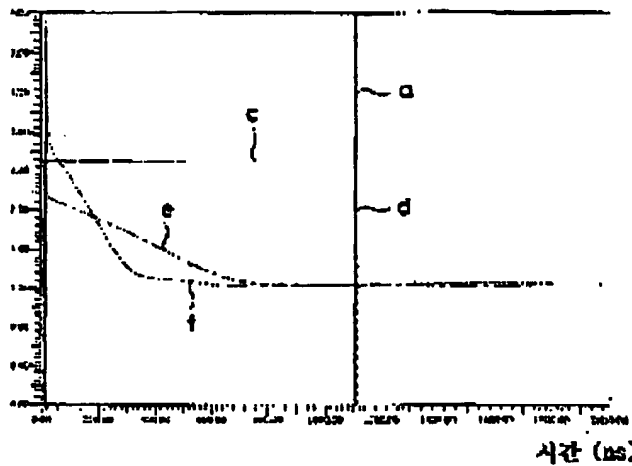
도 8



5B2a

전압 (V)

- (a) cell  
 (b) cell  
 (c) cell  
 (d) cell  
 (e) cell  
 (f) cell



5B2b

전압 (V)

- (a) cell  
 (b) cell  
 (c) cell  
 (d) cell  
 (e) cell

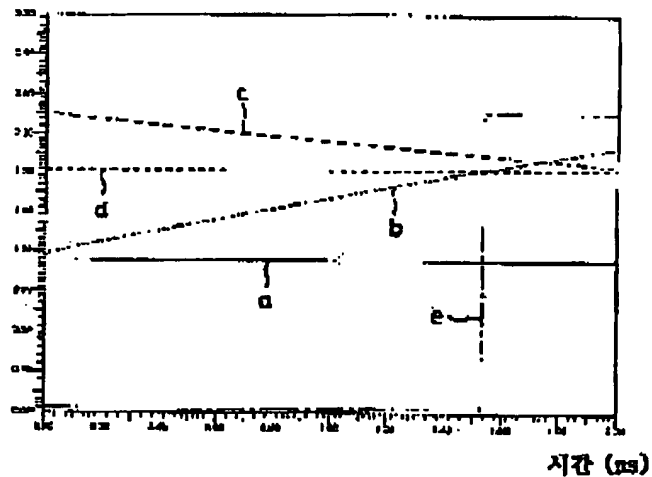




도표 3a

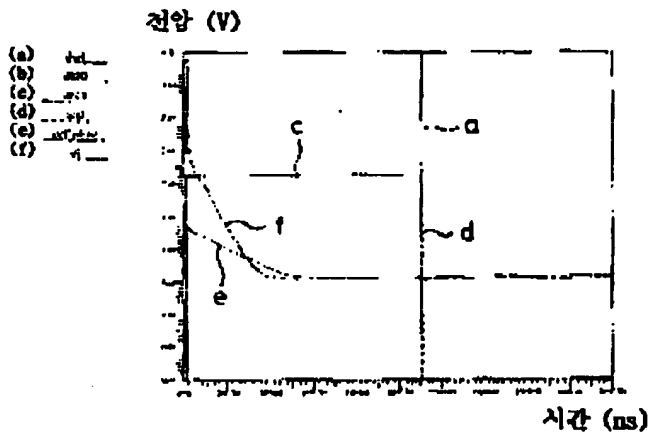
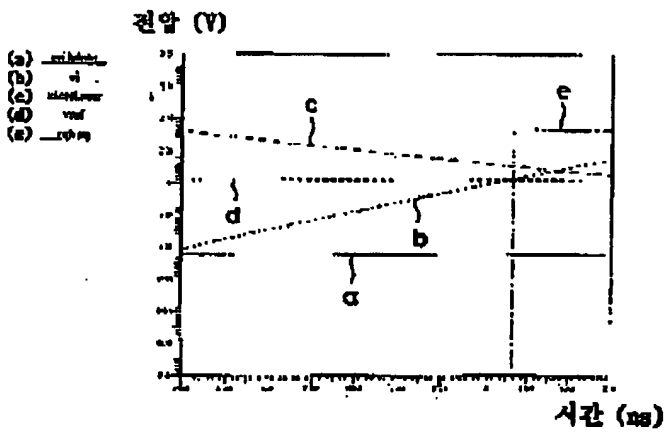
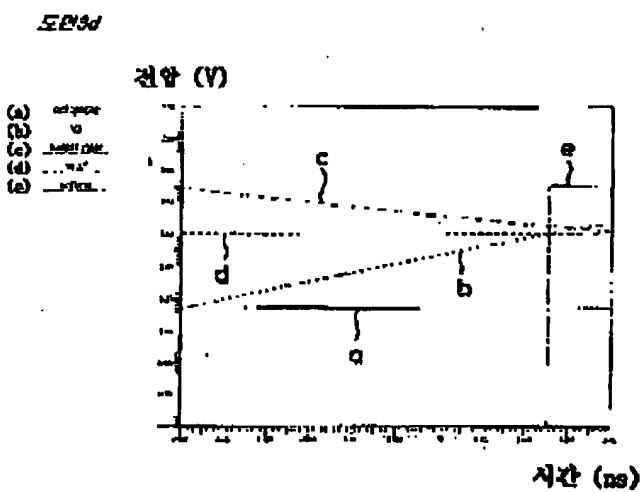
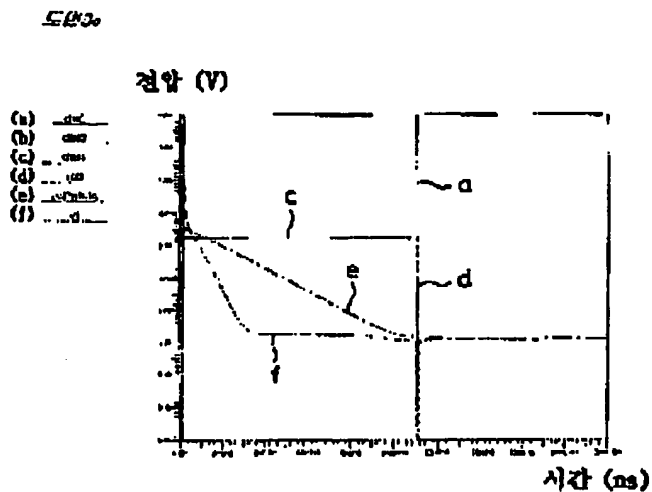


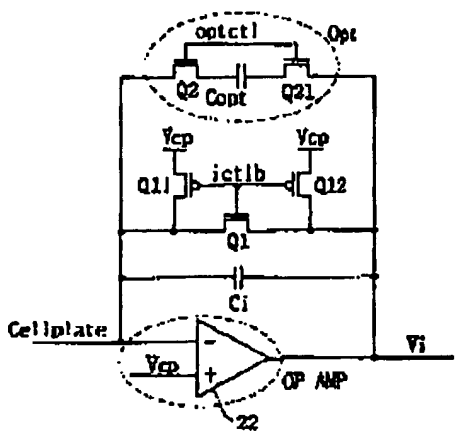
도표 3b



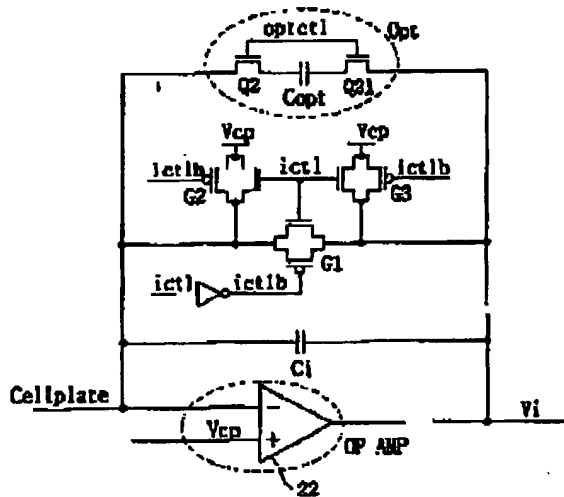


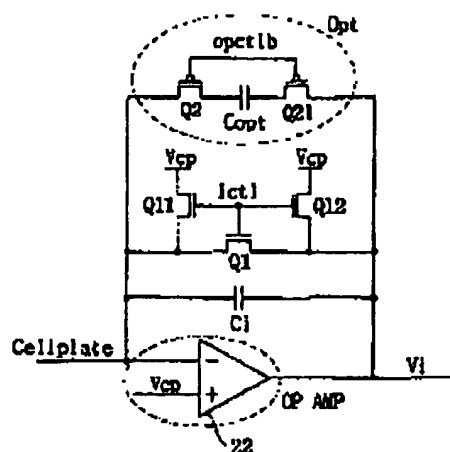
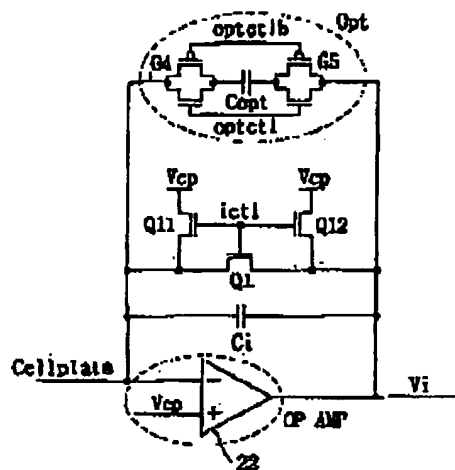


505



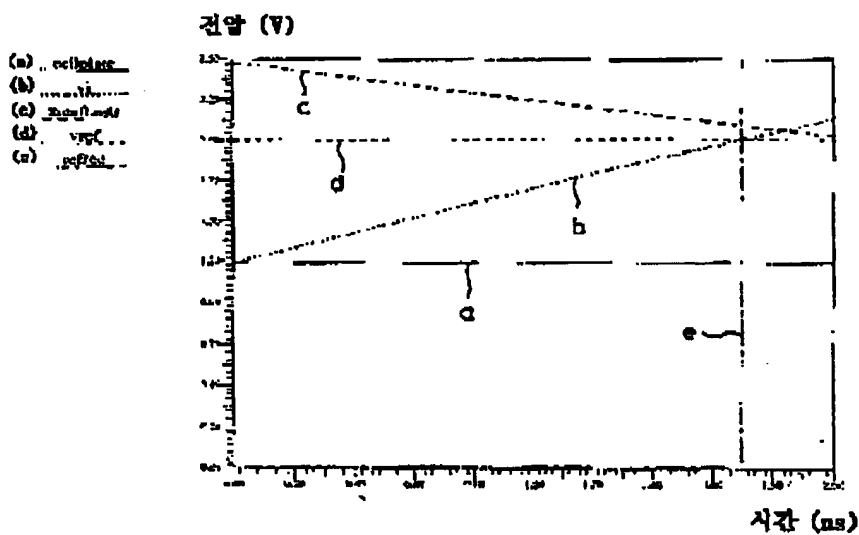
508



**SR7****SR8**



도면 106



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**